

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JCS71 U.S. PRO
09/822494
04/02/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年11月22日

出 願 番 号
Application Number:

特願2000-355752

出 願 人
Applicant(s):

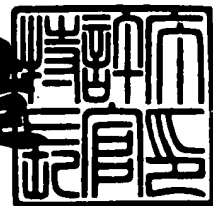
三菱電機株式会社
三菱電機システムエル・エス・アイ・デザイン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 1月12日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3111617

【書類名】 特許願

【整理番号】 528569JP01

【提出日】 平成12年11月22日

【あて先】 特許庁長官 殿

【国際特許分類】 H04N 7/08

【発明者】

 【住所又は居所】 兵庫県伊丹市中央3丁目1番17号 三菱電機システム
エル・エス・アイ・デザイン株式会社内

 【氏名】 松本 誠之

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【特許出願人】

 【識別番号】 391024515

 【氏名又は名称】 三菱電機システムエル・エス・アイ・デザイン株式会社

【代理人】

 【識別番号】 100102439

 【弁理士】

 【氏名又は名称】 宮田 金雄

【選任した代理人】

 【識別番号】 100092462

 【弁理士】

 【氏名又は名称】 高瀬 彌平

【手数料の表示】

 【予納台帳番号】 011394

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

【物件名】 要約書 1
【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 スライス回路

【特許請求の範囲】

【請求項 1】 データバスとデータをやり取りする制御記録手段と、
前記データバスから抜き取った文字放送データを一時記憶する記憶手段と、
コンポジットビデオ信号が入力され、デジタル値に変換する A/D コンバータ
と、

前記 A/D コンバータで変換されたデジタル値が入力され、文字放送データを
算出し、前記記憶手段に出力するデジタル演算回路と、

前記コンポジットビデオ信号が入力され、垂直あるいは水平の同期信号を抜き
取る SYNC セパレータと、

クロック発生手段と、

前記 SYNC セパレータと前記クロック発生手段及び前記制御記録手段からの
出力が入力され、前記記憶手段及び前記デジタル演算回路に出力し、タイミ
ングを制御するタイミ
ング制御回路とを備えるスライス回路。

【請求項 2】 デジタル演算回路は、

複数のラッチ回路と、

サンプリングクロック及びスライス用クロックが入力され、1 ビットのデー
タ幅の中のタイミ
ングを示す第 1 から第 4 の制御信号を出力する演算処理制御回路
と、

前記複数のラッチ回路の 1 つに接続され、前記第 2 の制御信号が入力される第
1 の積算器と、

前記複数のラッチ回路の中の別の 1 つに接続され、前記第 3 の制御信号が入
力される第 2 の積算器と、

前記第 1 の積算器及び前記第 2 の積算器の出力が入力される第 1 の加算器と、

前記複数のラッチ回路の中の別の 1 つに接続され、前記第 1 の制御信号が入
力される第 3 の積算器と、

前記第 3 の積算器及び前記第 1 の加算器の出力が入力される第 2 の加算器と、

前記第 2 の加算器の出力が入力され、前記第 4 の制御信号が入力される補正回

路とを備える請求項 1 記載のスライス回路。

【請求項 3】 デジタル演算回路は、

複数のラッチ回路と、

サンプリングクロック及びスライス用クロックが入力され、1 ビットのデータ幅の中のタイミングを示す第 1 及び第 2 の制御信号を出力する演算処理制御回路と、

前記複数のラッチ回路の中のいくつかに接続され、前記第 1 の制御信号が入力される第 1 のセクタと、

前記複数のラッチ回路の中の別のいくつかに接続され、前記第 2 の制御信号が入力される第 2 のセクタと、

前記第 1 及び第 2 のセクタの出力が入力される第 1 の加算器と、

前記複数のラッチ回路の中の別の 1 つに接続される積算器と、

前記積算器及び前記第 1 の加算器の出力が入力される第 2 の加算器と、

前記第 2 の加算器の出力が入力される補正回路とを備える請求項 1 記載のスライス回路。

【請求項 4】 コンポジットビデオ信号から抜き取った文字放送データを演算補正するスライス回路において、

前記コンポジットビデオ信号のサンプリングタイミングにより、補正演算を切り換える演算手段を備えることを特徴とするスライス回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、スライス回路に係り、特に文字放送サービスにおいて、受信機側で復調された後のコンポジットビデオ信号に重畳される文字放送データを抜き取るスライス回路に関するものである。

【 0 0 0 2 】

【従来の技術】

従来から TV 画面に文字、グラフィックで情報を提供する文字放送サービスが行われているが、伝送の規格の違いにより多様なサービスが存在する。主に日本

ではADAMS、米国ではCCD、欧州及び東南アジアではTELETEXT等が普及している。

【0003】

また、これらは放送局側から文字放送の情報が映像信号の帰線区間中に重畳されて映像情報とあわせて送信される場合、受信側で映像信号の中の文字放送データをスライス、文字放送データをデコードして、結果をTV画面上に展開することで情報を提供する。

【0004】

また、図6は上記文字放送データを抜き取る場合のコンポジットビデオ信号のサンプリングを示し、データ1ビット幅でのサンプリング例を示す図である。図6を参照して、 $t_1 \sim t_4$ がそれぞれサンプリングのタイミング（以下、サンプリングタイミングと示す。）となり、その時点のサンプリング値が $x_1 \sim x_4$ となる。

【0005】

また、図7は従来の演算回路によってコンポジットビデオ信号から抜き取った文字放送データを演算補正する状態を示す図である。図7を参照して、従来の演算回路1000は、ラッチ回路11-1～11-9と、加算器105、108と、積算器107とを設ける。

【0006】

まず、コンポジットビデオ信号103は、A/Dコンバータ（図示せず。）により、サンプリングポイント $N-4 \sim N-1$ が、1ビット幅でそれぞれのタイミングによってデジタル値に変換される。

【0007】

また、続く1ビットでは、 $N \sim N+3$ がサンプリングポイントになる。 $N+4$ は次の1ビットでのサンプリングポイントになる。このように連続してサンプリング動作を繰り返す。

【0008】

また、サンプリングされたA/D変換結果は順にラッチ回路11-1～11-9に格納される。例えば、サンプリングポイント $N-4$ がラッチ回路11-9に

格納される場合、サンプリングポイントN-3はラッチ回路11-8に格納される。

【0009】

また、サンプリングポイントN-2はラッチ回路11-7に、サンプリングポイントN-1はラッチ回路11-6に、サンプリングポイントNはラッチ回路11-5に格納される。

【0010】

また、サンプリングポイントN+1はラッチ回路11-4に、サンプリングポイントN+2はラッチ回路11-3に、サンプリングポイントN+3はラッチ回路11-2に、サンプリングポイントN+4はラッチ回路11-1にそれぞれ格納される。

【0011】

また、以上のサンプリングポイントのサンプリング値をラッチするのはサンプリングポイントNの値（“0”あるいは“1”）を求めるとき、ラッチ回路11-5にラッチされるサンプリング値 X_n をそのまま用いるのではなく、前後のサンプリングポイントのラッチされるサンプリング値 X_{n+4} 、 X_{n-4} を使用して補正を行う。

【0012】

また、サンプリングポイントの値 $F(X_n)$ は次式で求められる。

$$\begin{aligned} F(X_n) &= a(X_n) + b(X_{n-4}) + c(X_{n+4}) + d \\ &= a(X_n) - (X_{n-4}) - (X_{n+4}) \end{aligned}$$

但し、 $a=5$ 、 $b=c=-1$ 、 $d=0$ の場合である。

【0013】

また、この補正後のサンプリングポイントの値 $F(X_n)$ とあらかじめ設定されたスライス値（以下、スライスレベルと示す。）との大小比較を実施し、“0”あるいは“1”のいずれかの値に変化させる。

【0014】

また、図8は従来の演算回路による演算結果を示す図である。図8を参照して、演算回路1000に正弦波を入力した場合の演算補正式は、

$$F(X_n) = 5(X_n) - (X_{n-4}) - (X_{n+4})$$

で表される。

【0015】

各サンプリングポイントの値はスライスレベルとの比較により、“0”あるいは“1”のいずれかに判定される。例えば、図8中のサンプリングポイントの値はスライスレベルより小となるので、演算結果は“0”と判定される。

【0016】

また、図9は従来の演算回路により入力波形にひずみが発生した場合の演算結果を示す図である。入力波形のひずみは弱電界、ゴースト等によって受信状態が悪化することにより発生する。図9を参照して、この演算結果は、図8で“0”と判定されていたサンプリングポイントの値が補正演算の結果では、スライスレベルより大となり、演算結果は“1”と判定される。

【0017】

【発明が解決しようとする課題】

上記従来の演算回路を設けるスライス回路では、サンプリングデータが乱れ、本来ならば演算結果を“0”と判定しなければならないものを“1”と判定するような誤判定が生じて、誤動作の原因になるという問題があった。

【0018】

【課題を解決するための手段】

この発明に係るスライス回路は、データバスとデータをやり取りする制御記録手段と、データバスから抜き取った文字放送データを一時記憶する記憶手段と、コンポジットビデオ信号が入力され、デジタル値に変換するA/Dコンバータとを設ける。

【0019】

また、A/Dコンバータで変換されたデジタル値が入力され、文字放送データを算出し、記憶手段に出力するデジタル演算回路と、コンポジットビデオ信号が入力され、垂直あるいは水平の同期信号を抜き取るSYNCセパレータとを設ける。

【0020】

さらに、クロック発生手段と、SYNCセパレータとクロック発生手段及び制御記録手段からの出力が入力され、記憶手段及びデジタル演算回路に出力し、タイミングを制御するタイミング制御回路とを備えるものである。

【0021】

また、デジタル演算回路は、複数のラッチ回路と、サンプリングクロック及びスライス用クロックが入力され、1ビットのデータ幅の中のタイミングを示す第1から第4の制御信号を出力する演算処理制御回路とを設ける。

【0022】

また、複数のラッチ回路の1つに接続され、第2の制御信号が入力される第1の積算器と、複数のラッチ回路の中の別の1つに接続され、第3の制御信号が入力される第2の積算器とを設ける。

【0023】

また、第1の積算器及び第2の積算器の出力が入力される第1の加算器と、複数のラッチ回路の中の別の1つに接続され、第1の制御信号が入力される第3の積算器とを設ける。

【0024】

さらに、第3の積算器及び第1の加算器の出力が入力される第2の加算器と、第2の加算器の出力が入力され、第4の制御信号が入力される補正回路とを備える請求項1記載のものである。

【0025】

また、デジタル演算回路は、複数のラッチ回路と、サンプリングクロック及びスライス用クロックが入力され、1ビットのデータ幅の中のタイミングを示す第1及び第2の制御信号を出力する演算処理制御回路とを設ける。

【0026】

また、複数のラッチ回路の中のいくつかに接続され、第1の制御信号が入力される第1のセレクタと、複数のラッチ回路の中の別のいくつかに接続され、第2の制御信号が入力される第2のセレクタとを設ける。

【0027】

また、第1及び第2のセレクタの出力が入力される第1の加算器と、複数のラ

ッチ回路の中の別の 1 つに接続される積算器と、積算器及び第 1 の加算器の出力が入力される第 2 の加算器と、第 2 の加算器の出力が入力される補正回路とを備える請求項 1 記載のものである。

【 0 0 2 8 】

さらに、コンポジットビデオ信号から抜き取った文字放送データを演算補正するスライス回路において、コンポジットビデオ信号のサンプリングタイミングにより、補正演算を切り換える演算手段を備えるものである。

【 0 0 2 9 】

【発明の実施の形態】

実施の形態 1.

図 1 は実施の形態 1 によるスライス回路のブロック図である。図 1 を参照して、このスライス回路 10 は、データバス 8 とデータをやり取りし、スライス回路自体を制御する制御レジスタ 1 と、データバス 8 から抜き取った文字放送データ（以下、テキストデータと示す。）を一時記憶するテキスト RAM 2 とを設ける。

【 0 0 3 0 】

また、コンポジットビデオ信号が入力され、デジタル値に変換する A/D コンバータ 5 と、A/D コンバータ 5 で変換されたデジタル値が入力され、テキストデータを算出し、テキスト RAM 2 に出力するデジタル演算回路 3 とを設ける。

【 0 0 3 1 】

また、コンポジットビデオ信号が入力され、垂直あるいは水平の同期信号（以下、SYNC と示す。）を抜き取る SYNC セパレータ 6 と、PLL (Phase Locked Loop、以下、PLL と示す。) 回路 7 とを設ける。

【 0 0 3 2 】

また、SYNC セパレータ 6、PLL 回路 7 及び制御レジスタ 1 からの出力が入力され、テキスト RAM 2 及びデジタル演算回路 3 に出力し、スライス回路全体のタイミングを制御するタイミング制御回路 4 を設けることにより構成する。

【 0 0 3 3 】

また、スライス回路 10 の動作はテキストデータが重畳されたコンポジットビ

デオ信号をA/Dコンバータ5及びSYNCセパレータ6に入力する。SYNCセパレータ6から垂直あるいは水平の同期信号が分離、生成される。

【0034】

また、A/Dコンバータ5はコンポジットビデオ信号をサンプリングする。

【0035】

また、生成された水平同期信号を基準クロックとして、ロックするようにPLL回路7を動作する。PLL回路7はスライス回路10の動作クロック（以下、VCOクロックと示す。）を生成する。

【0036】

さらに、垂直同期信号、水平同期信号及びVCOクロックを基にタイミング制御回路4を制御する。

【0037】

また、図2は実施の形態1によるスライス回路に設けるデジタル演算回路のブロック図である。図2を参照して、デジタル演算回路3は、ラッチ回路1-1～1-9を設ける。

【0038】

また、サンプリングクロック及びスライス用クロックが入力され、サンプリングポイントが1ビットのデータ幅の中のどのタイミング（中心、右寄り、左寄り等）であるかを示す制御信号（ $t_{n1} \sim t_{n4}$ ）を出力する演算処理制御回路13と、ラッチ回路1-1に接続され、制御信号 t_{n2} が入力される積算器11とを設ける。

【0039】

また、ラッチ回路1-9に接続され、制御信号 t_{n3} が入力される積算器12と、積算器11の出力及び積算器12の出力が入力される加算器15とを設ける。

【0040】

また、ラッチ回路1-5に接続され、制御信号 t_{n1} が入力される積算器17と、積算器17の出力及び加算器15の出力が入力される加算器18と、加算器18の出力が入力され、制御信号 t_{n4} が入力される補正回路19とを設けるこ

とにより構成する。

【 0 0 4 1 】

また、デジタル演算回路 3 の動作は、コンポジットビデオ信号を A / D コンバータ 5 により、サンプリングポイント $N - 4 \sim N - 1$ が、1 ビット幅でそれぞれのタイミングによってデジタル値に変換される。

【 0 0 4 2 】

また、続く 1 ビットでは、 $N \sim N + 3$ がサンプリングポイントになる。 $N + 4$ は次の 1 ビットでのサンプリングポイントになる。このように連続してサンプリング動作を繰り返す。

【 0 0 4 3 】

また、サンプリングされた A / D 変換結果は順にラッチ回路 1 - 1 \sim 1 - 9 に格納される。例えば、サンプリングポイント $N - 4$ がラッチ回路 1 - 9 に格納される場合、サンプリングポイント $N - 3$ はラッチ回路 1 - 8 に格納される。

【 0 0 4 4 】

また、サンプリングポイント $N - 2$ はラッチ回路 1 - 7 に、サンプリングポイント $N - 1$ はラッチ回路 1 - 6 に、サンプリングポイント N はラッチ回路 1 - 5 に格納される。

【 0 0 4 5 】

また、サンプリングポイント $N + 1$ はラッチ回路 1 - 4 に、サンプリングポイント $N + 2$ はラッチ回路 1 - 3 に、サンプリングポイント $N + 3$ はラッチ回路 1 - 2 に、サンプリングポイント $N + 4$ はラッチ回路 1 - 1 にそれぞれ格納される。

【 0 0 4 6 】

また、積算器 1 7 は制御信号 t_{n1} が入力されると、以下のような演算の切り換えを行う。

$$F_a(X, t) = 5(X_n) \quad (\text{制御信号 } t_{n1} = 1 \text{ の時})$$

$$F_a(X, t) = 3(X_n) \quad (\text{制御信号 } t_{n1} = 0 \text{ の時})$$

【 0 0 4 7 】

また、1 ビットのデータ幅の中において 4 つのサンプリングタイミングで、こ

の 2 つの演算の切り換えを行う。

【 0 0 4 8 】

また、一般的にデータのセンター付近（図 6 における t_2 、以下、サンプリングタイミングが t_2 と示す。）では重みをつけるので、制御信号 $t_{n1} = 1$ 、それ以外のポイントでは制御信号 $t_{n1} = 0$ とするように演算処理制御回路 13 は制御信号 t_{n1} を出力する。

【 0 0 4 9 】

このときの演算処理は

$F_a(X, t) = 5(X_n)$ (サンプリングタイミングが t_2 の時)

$F_a(X, t) = 3(X_n)$ (サンプリングタイミングが t_2 以外の時

)

となる。

【 0 0 5 0 】

また、積算器 11 は制御信号 t_{n2} が入力され、積算器 12 は制御信号 t_{n3} が入力され、補正回路 19 は制御信号 t_{n4} が入力される。これらも同様に各々の演算式 $F_b(X, t)$ 、 $F_c(X, t)$ 、 $F_d(X, t)$ を切り換えることができる。

【 0 0 5 1 】

上記演算式を組み合わせることで、サンプリングタイミングによるサンプリング値 X_n の補正が可能となる。

【 0 0 5 2 】

演算式 $F_b(X, t)$ 、 $F_c(X, t)$ 、 $F_d(X, t)$ は、制御信号 t_{n2} によって以下のような制御を行う。

$F_a(X, t) = 5(X_n)$ (サンプリングタイミングが t_2 の時)

$F_a(X, t) = 5(X_n)$ (サンプリングタイミングが t_2 以外の時

)

となる。

【 0 0 5 3 】

また、

$F_b(X, t) = -1 (X_{n+4})$ (サンプリングタイミングが t_2 の時)

$F_b(X, t) = 0 (X_{n+4}) = 0$ (サンプリングタイミングが t_2 以外の時)
となる。

【 0 0 5 4 】

また、

$F_c(X, t) = -1 (X_{n-4})$ (サンプリングタイミングが t_2 の時)

$F_c(X, t) = 0 (X_{n-4}) = 0$ (サンプリングタイミングが t_2 以外の時)
となる。

【 0 0 5 5 】

また、

$F_d(X, t) = 0$ (サンプリングタイミングが t_2 の時)

$F_d(X, t) = 0$ (サンプリングタイミングが t_2 以外の時)

となる。

【 0 0 5 6 】

また、この場合の演算補正式は、

$F'(X, t) = 5 (X_n) - (X_{n+4}) - (X_{n-4})$ (サンプリングタイミングが t_2 の時)

$F'(X, t) = 5 (X_n)$ (サンプリングタイミングが t_2 以外の時)

で表される。

【 0 0 5 7 】

また、図 3 は実施の形態 1 によるスライス回路に設けるデジタル演算回路により入力波形にひずみが発生した場合の演算結果を示す図である。図 3 を参照して、入力波形のひずみが発生しても、この演算結果は、サンプリングポイントの値がスライスレベルより小となるため “0” と判定され、正常な判定結果に補正さ

れている。

【 0 0 5 8 】

また、上記の演算式ではサンプリングポイントによって2通りの演算式を切り換えるが、これ以外にも多様に演算式を切り換えることが可能であることはいうまでもない。

【 0 0 5 9 】

この実施の形態1によると、演算結果を“0”と判定しなければならないものを“1”と判定するような誤判定が生じない。

【 0 0 6 0 】

実施の形態2.

また、図4は実施の形態2によるスライス回路に設けるデジタル演算回路のブロック図である。図4を参照して、デジタル演算回路30は、ラッチ回路3-1～3-9を設ける。

【 0 0 6 1 】

また、サンプリングクロック及びスライス用クロックが入力され、サンプリングポイントが1ビットのデータ幅の中のどのタイミング（中心、右寄り、左寄り等）であるかを示す制御信号 t_{n1} 、 t_{n2} を出力する演算処理制御回路33と、ラッチ回路3-1～3-4に接続され、制御信号 t_{n1} が入力されるセクタ31とを設ける。

【 0 0 6 2 】

また、ラッチ回路3-6～3-9に接続され、制御信号 t_{n2} が入力されるセクタ32と、セクタ31の出力及びセクタ32の出力が入力される加算器35とを設ける。

【 0 0 6 3 】

また、ラッチ回路3-5に接続される積算器37と、積算器37の出力及び加算器35の出力が入力される加算器38と、加算器38の出力が入力される補正回路39とを設けることにより構成する。

【 0 0 6 4 】

また、デジタル演算回路30の動作は、コンポジットビデオ信号をA/Dコン

バータ（図示せず。）により、サンプリングポイントが1ビット幅で $N-4 \sim N-1$ のそれぞれのタイミングでデジタル値に変換する。

【0065】

また、続く1ビットでは、 $N \sim N+4$ がサンプリングポイントになる。このように連続してサンプリング動作を繰り返す。

【0066】

また、サンプリングされたA/D変換結果は順にラッチ回路3-1～3-9に格納される。例えば、サンプリングポイント $N-4$ がラッチ回路3-9に格納される場合、サンプリングポイント $N-3$ はラッチ回路3-8に格納される。

【0067】

また、サンプリングポイント $N-2$ はラッチ回路3-7に、サンプリングポイント $N-1$ はラッチ回路3-6に、サンプリングポイント N はラッチ回路3-5に格納される。

【0068】

また、サンプリングポイント $N+1$ はラッチ回路3-4に、サンプリングポイント $N+2$ はラッチ回路3-3に、サンプリングポイント $N+3$ はラッチ回路3-2に、サンプリングポイント $N+4$ はラッチ回路3-1にそれぞれ格納される。

【0069】

また、セレクタ31は制御信号 t_{n1} が入力されると、サンプリングポイント $N+4 \sim N+1$ のいずれかを選択する。

【0070】

また、セレクタ32は制御信号 t_{n2} が入力されると、サンプリングポイント $N-1 \sim N-4$ のいずれかを選択する。

【0071】

また、セレクタ31、32は予め以下の切り換えを行うようにレジスタ（図示せず。）により設定される。

セレクタ31： $N-4$ を選択（制御信号 $t_{n1}=1$ の時）

$N-1$ を選択（制御信号 $t_{n1}=0$ の時）

セレクタ 3 2 : $N + 4$ を選択 (制御信号 $t_{n2} = 1$ の時)

$N + 1$ を選択 (制御信号 $t_{n2} = 0$ の時)

【 0 0 7 2 】

また、演算処理制御回路 3 3 はサンプリングタイミングが t_2 において、制御信号 t_{n1} , t_{n2} とともに “1” となるようにすれば、演算補正式は、

$$F''(X, t) = a(X_n) + b(X_{n+4}) + c(X_{n-4}) + d$$

(サンプリングタイミングが t_2 の時)

$$F''(X, t) = a(X_n) + b(X_{n+1}) + c(X_{n-1}) + d$$

(サンプリングタイミングが t_2 以外の時)

となる。

【 0 0 7 3 】

また、図 5 は実施の形態 2 によるスライス回路に設けるデジタル演算回路により入力波形にひずみが発生した場合の演算結果を示す図である。図 5 を参照して、この入力波形の演算補正式は、

$$F''(X, t) = 5(X_n) - (X_{n+4}) - (X_{n-4}) \quad (\text{サンプリングタイミングが } t_2 \text{ の時})$$

(サンプリングタイミングが t_2 の時)

$$F''(X, t) = 5(X_n) - (X_{n+1}) - (X_{n-1}) \quad (\text{サンプリングタイミングが } t_2 \text{ 以外の時})$$

(サンプリングタイミングが t_2 以外の時)

となる。

【 0 0 7 4 】

即ち、入力波形のひずみが発生しても、この演算結果は、サンプリングポイントの値がスライスレベルより小となるため “0” と判定され、正常な判定結果に補正されている。

【 0 0 7 5 】

また、上記の演算式ではサンプリングポイントによって 2 通りの演算式を切り換えるが、これ以外にも多様に演算式を切り換えることが可能であることはいうまでもない。

【 0 0 7 6 】

この実施の形態 2 によると、さらに演算結果を “0” と判定しなければならな

いものを“1”と判定するような誤判定が生じない。

【 0 0 7 7 】

【発明の効果】

この発明に係るスライス回路は、データバスとデータをやり取りする制御記録手段と、データバスから抜き取った文字放送データを一時記憶する記憶手段と、コンポジットビデオ信号が入力され、デジタル値に変換するA/Dコンバータとを設ける。

【 0 0 7 8 】

また、A/Dコンバータで変換されたデジタル値が入力され、文字放送データを算出し、記憶手段に出力するデジタル演算回路と、コンポジットビデオ信号が入力され、垂直あるいは水平の同期信号を抜き取るSYNCセパレータとを設ける。

【 0 0 7 9 】

さらに、クロック発生手段と、SYNCセパレータとクロック発生手段及び制御記録手段からの出力が入力され、記憶手段及びデジタル演算回路に出力し、タイミングを制御するタイミング制御回路とを備えるので、演算結果を確実、迅速に処理できる。

【 0 0 8 0 】

また、デジタル演算回路は、複数のラッチ回路と、サンプリングクロック及びスライス用クロックが入力され、1ビットのデータ幅の中のタイミングを示す第1から第4の制御信号を出力する演算処理制御回路とを設ける。

【 0 0 8 1 】

また、複数のラッチ回路の1つに接続され、第2の制御信号が入力される第1の積算器と、複数のラッチ回路の中の別の1つに接続され、第3の制御信号が入力される第2の積算器とを設ける。

【 0 0 8 2 】

また、第1の積算器及び第2の積算器の出力が入力される第1の加算器と、複数のラッチ回路の中の別の1つに接続され、第1の制御信号が入力される第3の積算器とを設ける。

【 0 0 8 3 】

さらに、第 3 の積算器及び第 1 の加算器の出力が入力される第 2 の加算器と、第 2 の加算器の出力が入力され、第 4 の制御信号が入力される補正回路とを備える請求項 1 記載のものであるため、演算結果を“0”と判定しなければならないものを“1”と判定するような誤判定を防止することが可能である。

【 0 0 8 4 】

また、デジタル演算回路は、複数のラッチ回路と、サンプリングクロック及びスライス用クロックが入力され、1 ビットのデータ幅の中のタイミングを示す第 1 及び第 2 の制御信号を出力する演算処理制御回路とを設ける。

【 0 0 8 5 】

また、複数のラッチ回路の中のいくつかに接続され、第 1 の制御信号が入力される第 1 のセレクタと、複数のラッチ回路の中の別のいくつかに接続され、第 2 の制御信号が入力される第 2 のセレクタとを設ける。

【 0 0 8 6 】

また、第 1 及び第 2 のセレクタの出力が入力される第 1 の加算器と、複数のラッチ回路の中の別の 1 つに接続される積算器と、積算器及び第 1 の加算器の出力が入力される第 2 の加算器と、第 2 の加算器の出力が入力される補正回路とを備える請求項 1 記載のものであるため、さらに演算結果を“0”と判定しなければならないものを“1”と判定するような誤判定を防止することが可能である。

【 0 0 8 7 】

また、コンポジットビデオ信号から抜き取った文字放送データを演算補正するスライス回路において、コンポジットビデオ信号のサンプリングタイミングにより、補正演算を切り換える演算手段を備えるので、さらに演算結果の誤判定を防止することが可能である。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 によるスライス回路のブロック図である。

【図 2】 この発明の実施の形態 1 によるスライス回路に設けるデジタル演算回路のブロック図である。

【図 3】 この発明の実施の形態 1 によるスライス回路に設けるデジタル演算回路により入力波形にひずみが発生した場合の演算結果を示す図である。

【図 4】 この発明の実施の形態 2 によるスライス回路に設けるデジタル演算回路のブロック図である。

【図 5】 この発明の実施の形態 2 によるスライス回路に設けるデジタル演算回路により入力波形にひずみが発生した場合の演算結果を示す図である。

【図 6】 従来の演算回路を説明するためのデータ 1 ビット幅でのサンプリング例を示す図である。

【図 7】 従来の演算回路によってコンポジットビデオ信号から抜き取った文字放送データを演算補正する状態を示す図である。

【図 8】 従来の演算回路による演算結果を示す図である。

【図 9】 従来の演算回路により入力波形にひずみが発生した場合の演算結果を示す図である。

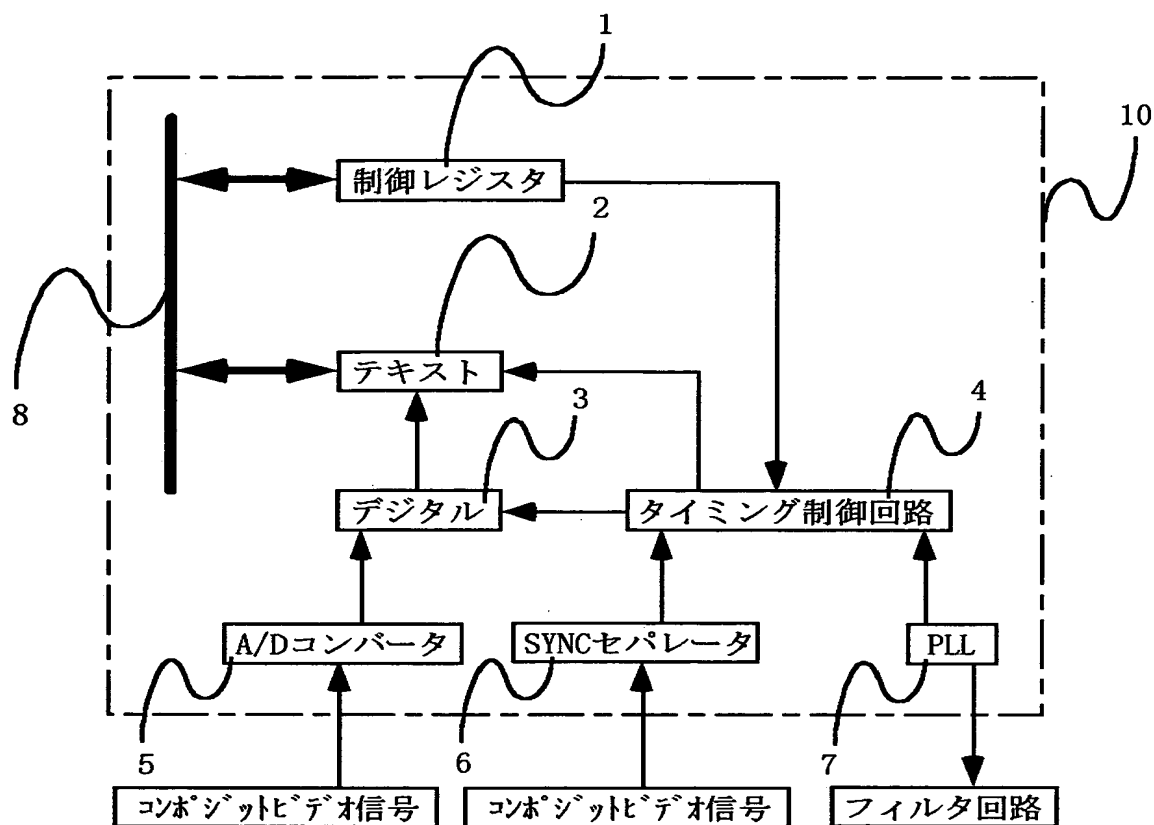
【符号の説明】

1	制御レジスタ	2	テキスト RAM
3	デジタル演算回路	4	タイミング制御回路
5	A/Dコンバータ	6	SYNCセパレータ
7	PLL回路	8	データバス
1-1~1-9	ラッチ回路		
11, 12, 17	積算器	15, 18	加算器
13	演算処理制御回路	19	補正回路
3-1~3-9	ラッチ回路		
31, 32	セレクタ		
37	積算器	35, 38	加算器
33	演算処理制御回路	39	補正回路

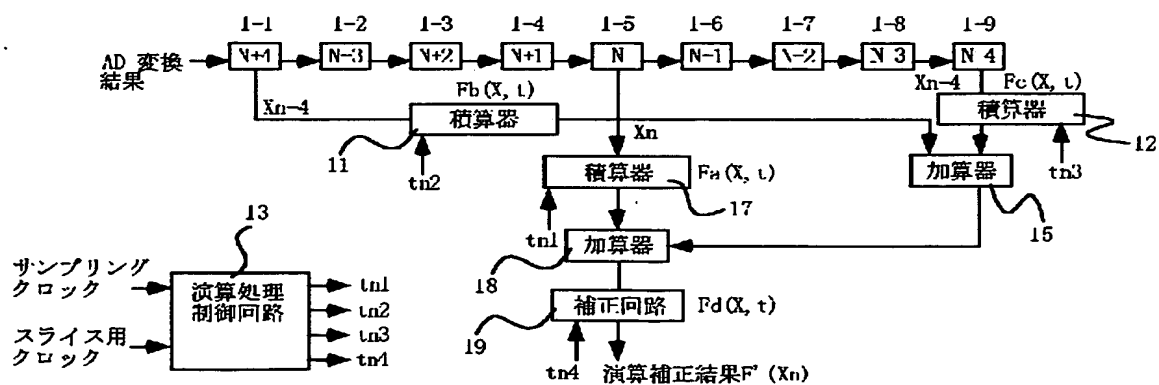
【書類名】

図面

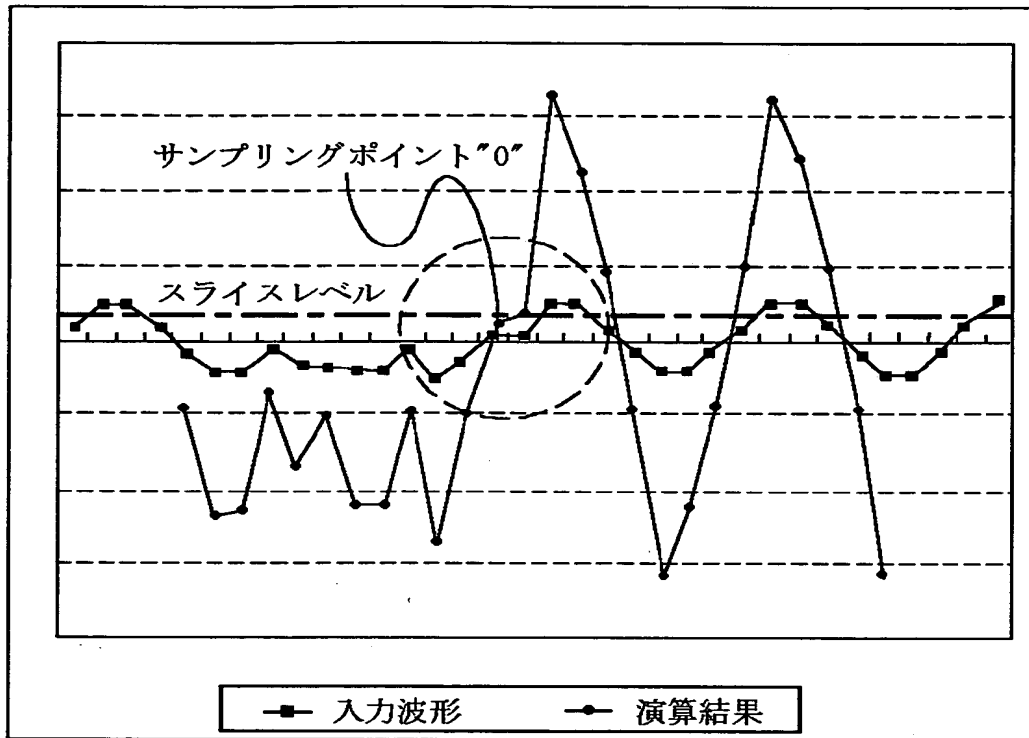
【図 1】



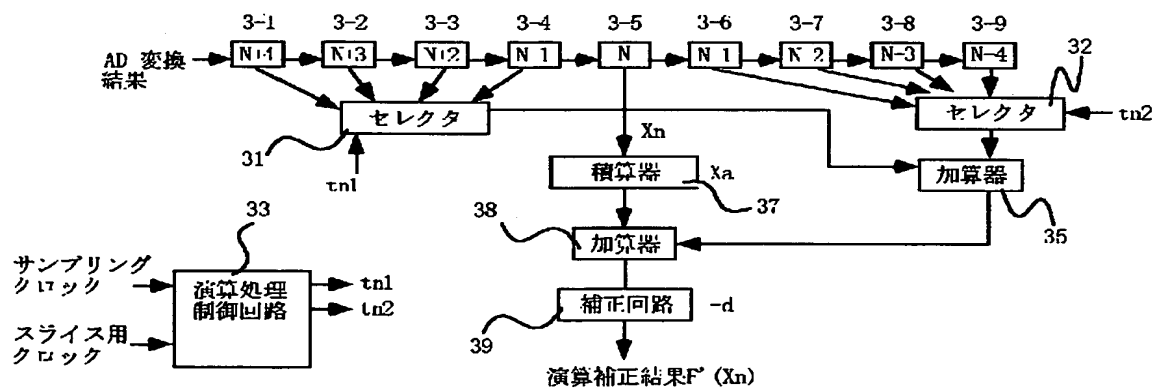
【図 2】



【図3】

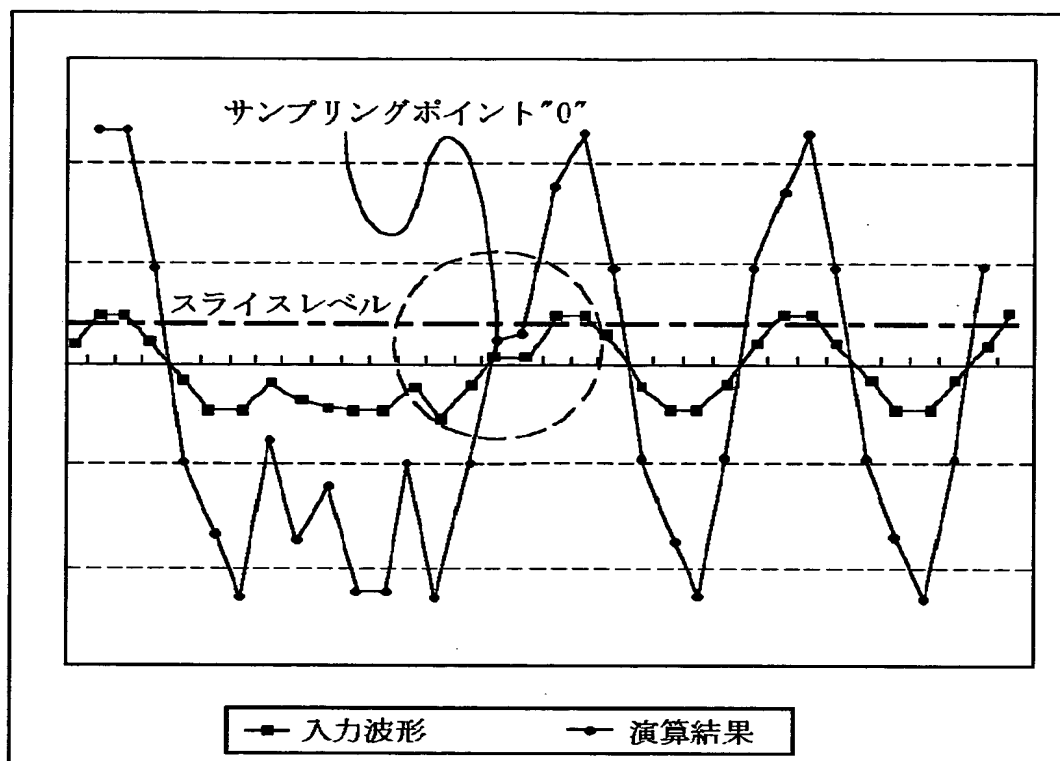


【図4】

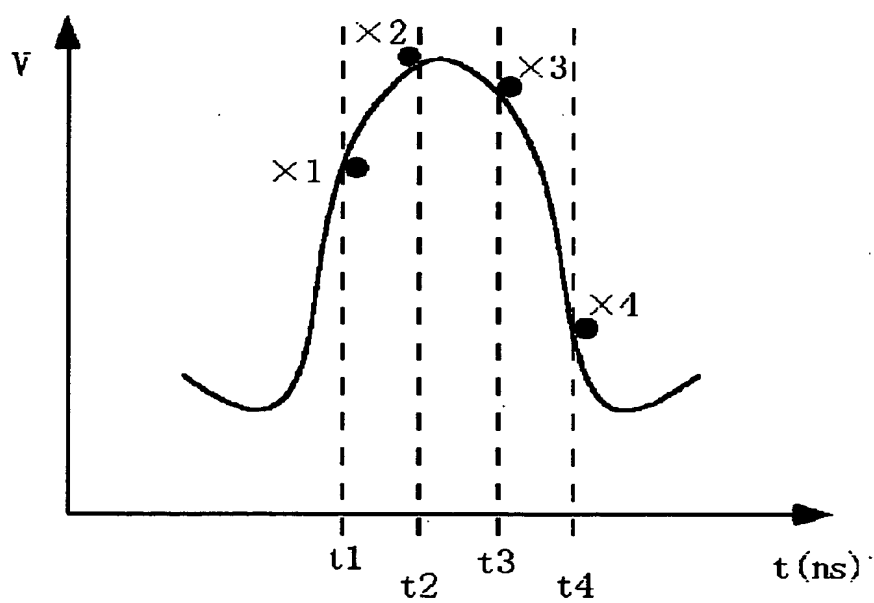


30

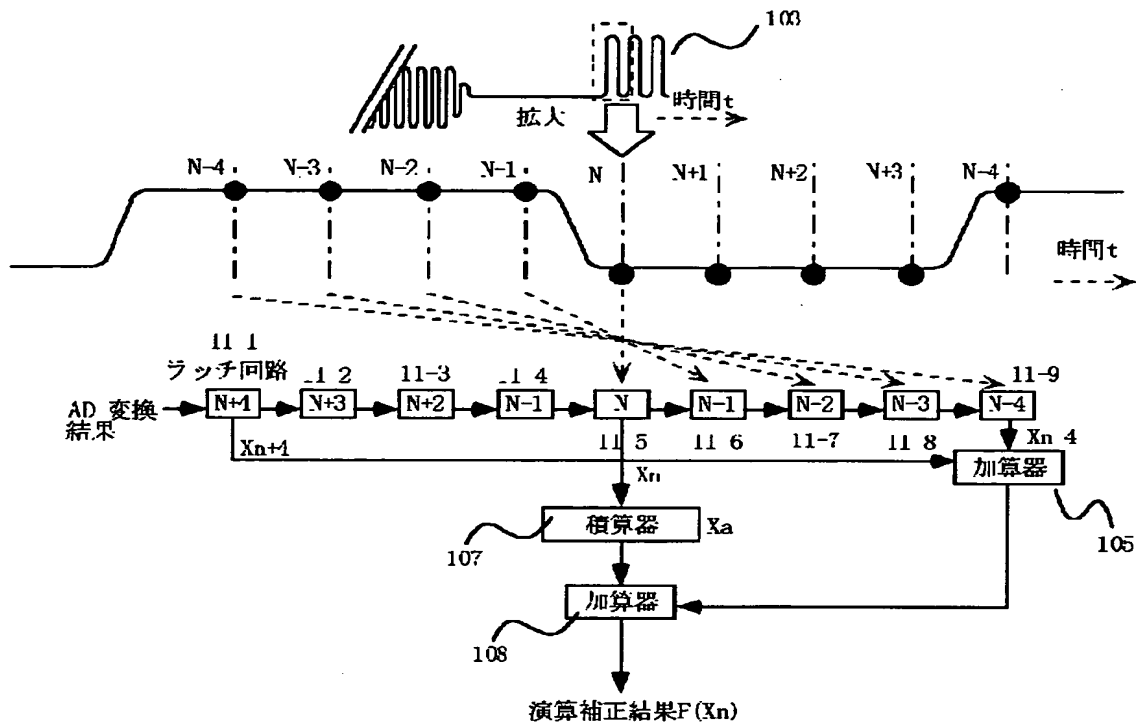
【図5】



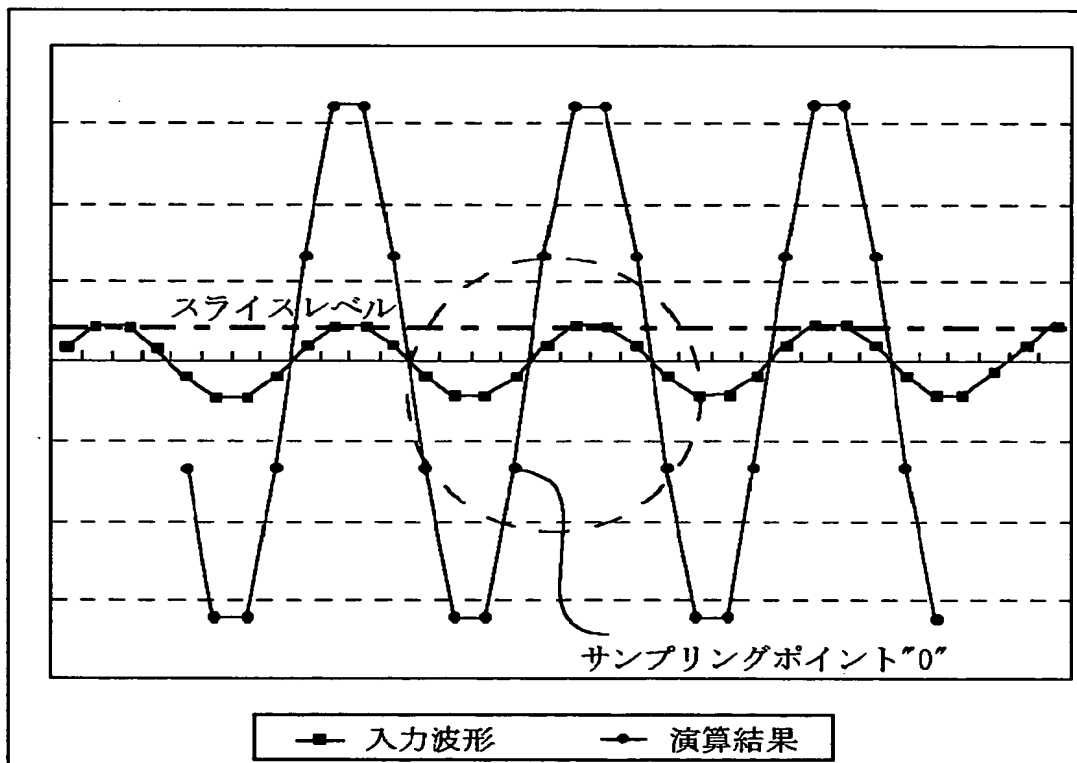
【図6】



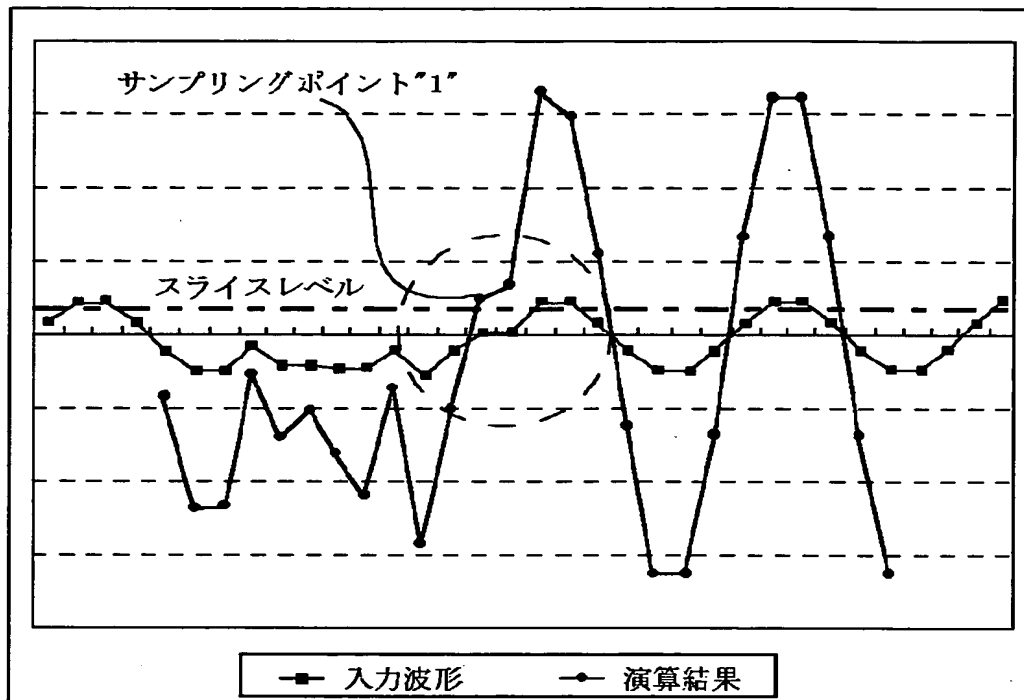
【図7】



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 演算結果を誤判定し、誤動作を起こすことを防止するスライス回路を得ることである。

【解決手段】 データバス 8 と、制御レジスタ 1 と、テキスト RAM 2 と、デジタル演算回路 3 と、タイミング制御回路 4 と、A/Dコンバータ 5 と、SYNCセパレータ 6 と、PLL回路 7 とで構成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日	1 9 9 0 年 8 月 2 4 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名	三菱電機株式会社

出 願 人 履 歴 情 報

識別番号 [391024515]

1. 変更年月日	1997年11月26日
[変更理由]	名称変更
住 所	兵庫県伊丹市中央3丁目1番17号
氏 名	三菱電機システムエル・エス・アイ・デザイン株式会社